



Il Sottosistema di Memoria

Classificazione delle memorie



- Funzionalità
 - Memoria di sola lettura (ROM)
 - Memoria di lettura/scrittura
- Tecnologia
 - Memoria a semiconduttori
 - Memoria magnetica
 - Memoria ottica
- Modalità d'accesso
 - Memoria ad accesso diretto (RAM)
 - Memoria ad accesso sequenziale (unità a nastro)
 - Memoria ad accesso semi diretto (dischi magnetici)

Parametri di valutazione

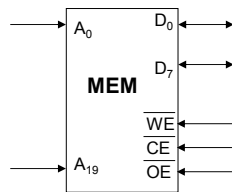
- **Dimensioni:** Indica il numero N di word da W bit presenti nella memoria.
- **Tempo di accesso:** Indica il tempo che intercorre tra l'istante in cui è richiesta l'informazione e l'istante in cui è disponibile, espresso in ns
- **Tempo di ciclo:** il minimo intervallo tra due successivi accessi per lettura/scrittura in memoria.
- **Potenza dissipata**
- **Costo**

Memoria RAM

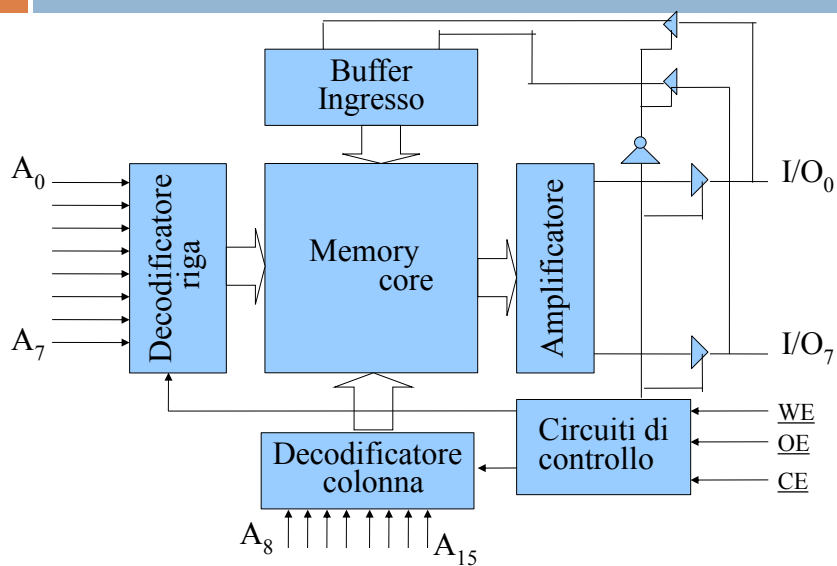
- **RAM: Random Access Memory**
 - Tempi di accesso indipendenti dalla posizione
 - Statica o Dinamica
- **Valutata in termini di**
 - Dimensione (di solito espressa in GBytes)
 - Velocità (intesa come tempo di accesso solitamente in ns)
 - Dissipazione di potenza (in Watt assoluti o per bit)
 - Costo (molto aleatorio)
 - Integrazione (o densità) solitamente espressa in nm relativamente alla dimensione minima definibile del processo tecnologico utilizzato

RAM Statica

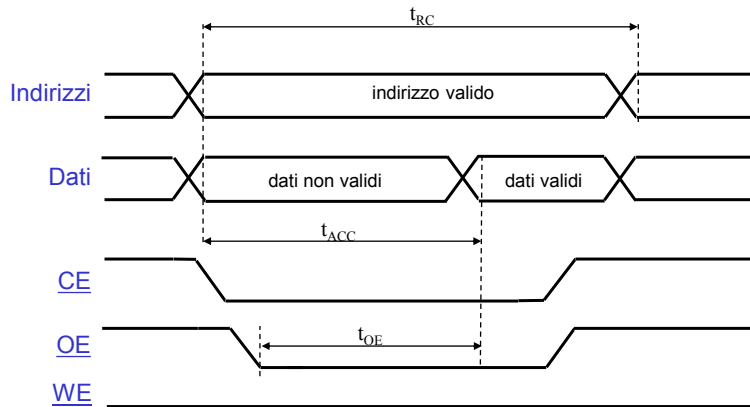
- Per memorizzare un bit sono necessari 4 o 6 transistor
 - Bassa densità e quindi bassa capacità per chip
 - Alta potenza dissipata
 - Bassi tempi di accesso → alta velocità
- Usata per i registri interni al processore e per la Cache



Schema a blocchi di una SRAM 64Kx8

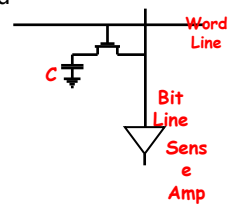


Ciclo di Lettura in una SRAM



RAM Dinamica

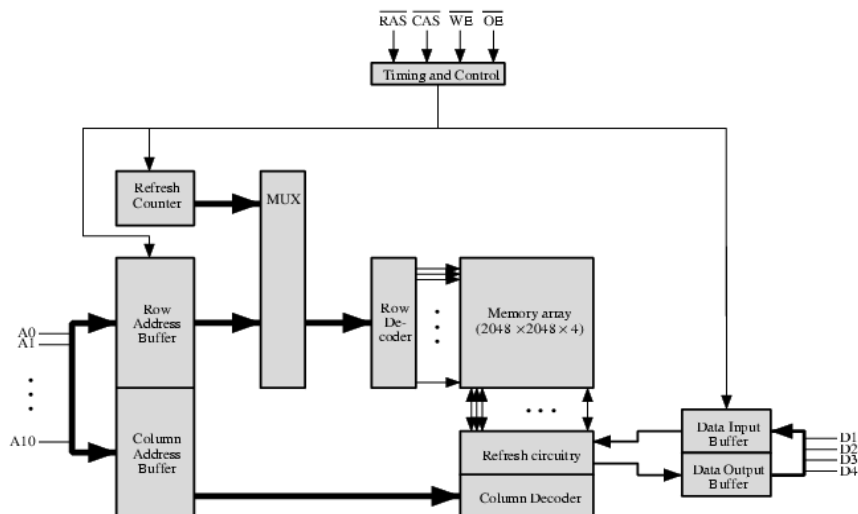
- Per memorizzare un bit è necessario 1 solo transistor MOS
 - Si sfrutta la carica immagazzinata nella capacità parassita del gate
 - Alta densità e quindi alta capacità per chip
 - Bassa potenza dissipata
 - Necessita dei cicli di rinfresco per evitare la perdita di carica sulla capacità parassita
 - Necessita di controllo di errore
 - Bisogna indirizzare prima le righe e poi le colonne della matrice di bit (o byte)
 - Alti tempi di ciclo di lettura → velocità più bassa delle statiche
 - Per l'interfacciamento con la CPU e la gestione del refresh necessitano, praticamente sempre, di un dispositivo chiamato DRAM Controller



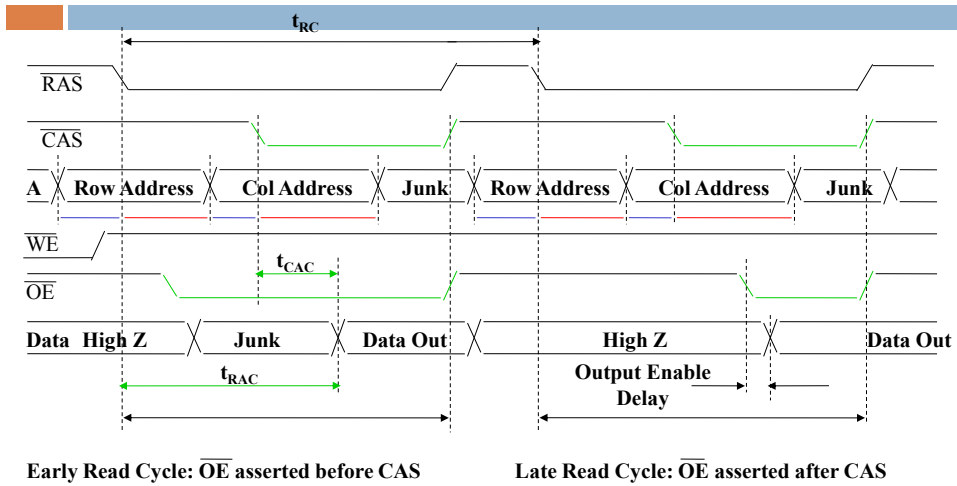
Classificazione delle DRAM

- **Interfaccia asincrona (DRAM “standard”):**
il processore deve attendere, in uno stato **idle**, il completamento dell'operazione in memoria.
- **Interfaccia sincrona (SDRAM):**
le operazioni sono in sincronia con clock del bus;
con l'uso di opportuni latch si aumenta il parallelismo con la CPU (bus oltre i 66MHz).

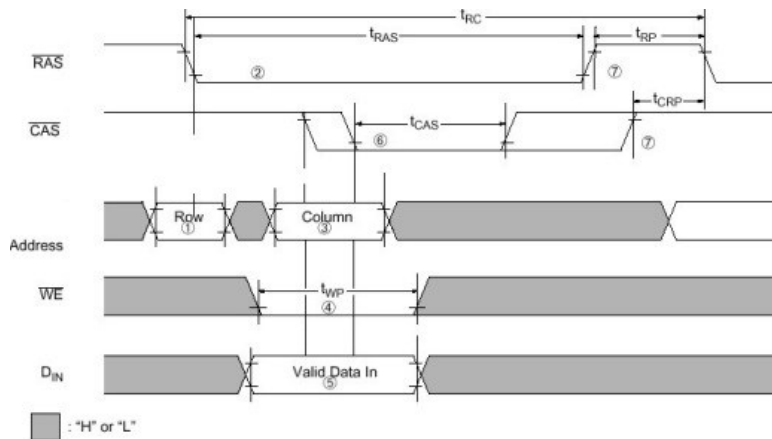
DRAM: Organizzazione logica di memoria



Ciclo di Lettura in una DRAM



Ciclo di scrittura in una DRAM



Relazione velocità CPU/velocità Memoria

Siano

- f : frequenza del clock
- N : numero di cicli di clock richiesti dalla CPU per l'accesso in memoria
 - $T = N / f$
- essendo T il tempo richiesto dalla CPU per completare l'operazione

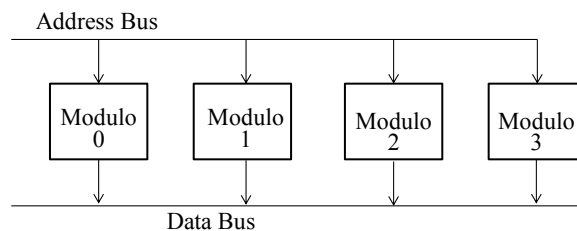
- Per una RAM statica dev'essere $t_{acc} < T$
- Per una RAM dinamica dev'essere $t_{RC} < T$
- Se la memoria è lenta si devono introdurre dei cicli di Wait e la relazione diventa:

$$T = (N + N_w) / f > t_{acc}, t_{RC}$$

Memory interleaving

- Per velocizzare l'accesso alle memorie DRAM la memoria può essere organizzata in modo che word relative a indirizzi consecutivi vengano poste in chip di memoria diversi
- In questo modo basta un unico RAS per più word consecutive

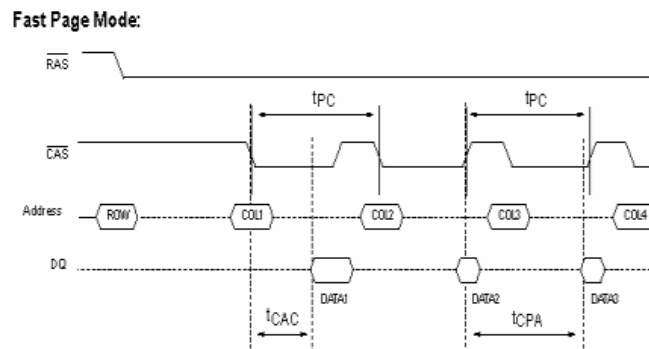
ind	Modulo	RAS
0	0	0
1	1	0
2	2	0
3	3	0
4	0	1
5	1	1
6	2	1
7	3	1



Miglioramento delle prestazioni della DRAM asincrona

■ FPM-DRAM (Fast Page Mode)

- Viene inviato una sola volta l'indirizzo di riga per più accessi consecutivi in memoria
- Valori tipici per FPM: 6-3-3-3 o 5-3-3-3 con celle da 70 ns o 60 ns (bus a 66 MHz).



Miglioramento delle prestazioni della DRAM asincrona

■ EDO-RAM (Extended Data out)

- Vengono aggiunti dei latch dati che mantengono il dato appena letto, consentendo di **anticipare la disattivazione di CAS** e l'invio dell'indirizzo della colonna successiva.
- Si può così ridurre il periodo t_{PC} del segnale CAS\ dopo il primo accesso: il segnale CAS rimane disattivato per il minimo intervallo di tempo.

→ Bus a 66 MHz, temporizzazione 5-2-2-2 con memorie da 50..70 ns

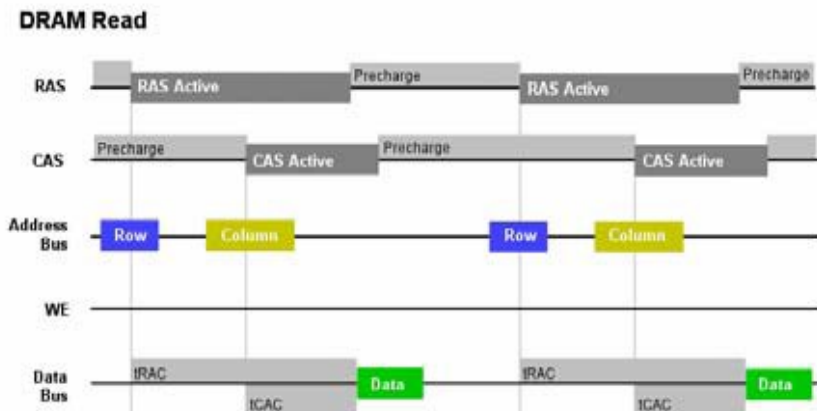
■ BEDO-RAM (Burst Extended Data out)

- Una logica interna permette di generare autonomamente i tre indirizzi consecutivi al primo
- Bus a 66 MHz, temporizzazione 5-2-2-2 con memorie da 50..70 ns

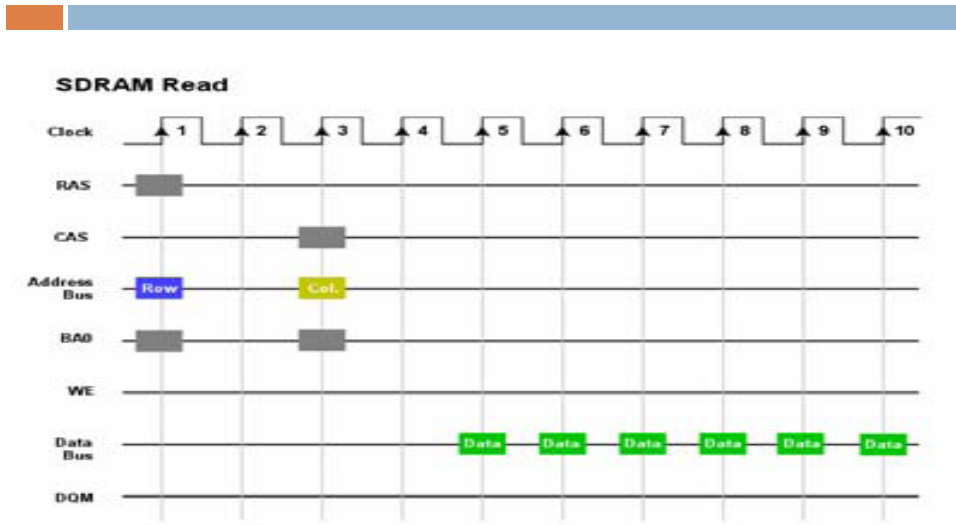
DRAM sincrona

- Sono caratterizzate da un'interfaccia sincrona
- Una volta inviati gli indirizzi la memoria esegue una serie di operazioni sincronizzate con il clock esterno e dopo un numero prefissato di cicli i dati vengono letti
- S-DRAM (Synchronous)
 - I trasferimenti avvengono su un fronte del clock
 - La SDRAM consente il trasferimento a burst
 - Bus a 100 MHz, temporizzazione 6-1-1-1

DRAM Read



SDRAM Read



DDR-DRAM (Double Data Rate)

- Sfrutta entrambi i fronti per trasferire i dati
- Permettono quindi un data rate doppio rispetto alle SDRAM tradizionali
- Di solito viene utilizzata un'architettura dove l'ampiezza del bus interno è doppia rispetto al bus esterno

Organizzazione della Memoria

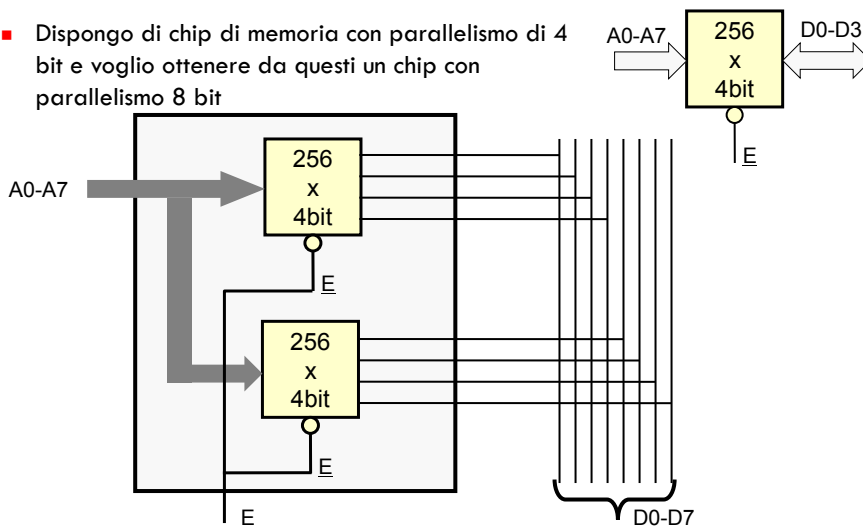
Parametri da considerare

Tipo di integrati, loro parallelismo e dimensione

Parallelismo del BUS dati e dimensione complessiva desiderata

Collegamento dei Chip di Memoria in Parallelo

- Dispongo di chip di memoria con parallelismo di 4 bit e voglio ottenere da questi un chip con parallelismo 8 bit

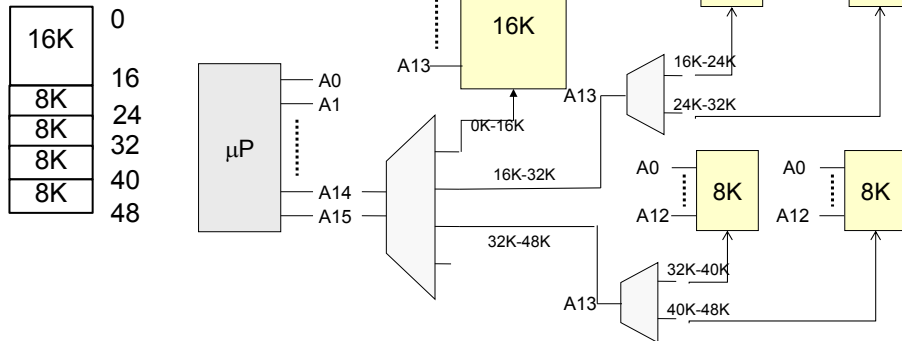


Decodifica degli Indirizzi

Indirizzamento Gerarchico

Indirizzi a 16 bit (memoria indirizzabile 64K)

1 banco di memoria da 16K
4 banchi di memoria da 8K

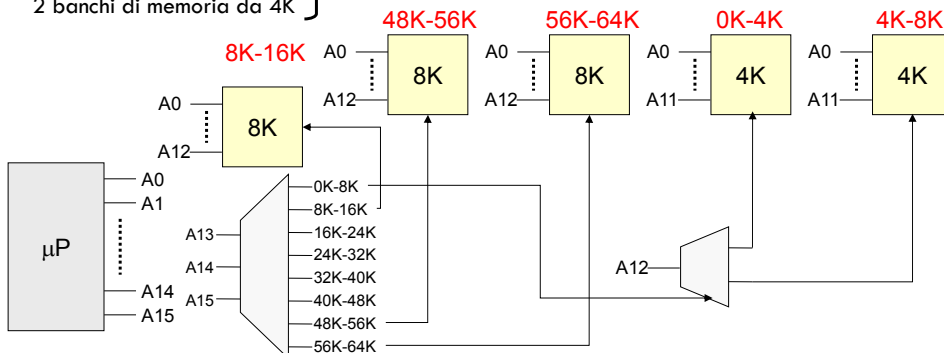


Decodifica degli Indirizzi

Indirizzamento Gerarchico

Indirizzi a 16 bit (memoria indirizzabile 64K)

3 banchi di memoria da 8K
2 banchi di memoria da 4K



Decodifica degli Indirizzi

Indirizzamento Lineare

Indirizzi a 16 bit (memoria indirizzabile 64K)

3 banche di memoria da 8K } 48K
2 banche di memoria da 4K }

